

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 5月27日

出願番号
Application Number: 特願2003-149268
[ST. 10/C]: [JP2003-149268]

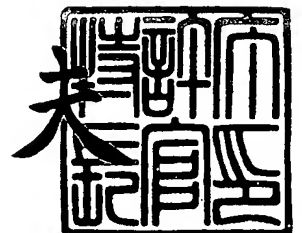
願人
Applicant(s): セイコーインスツルメンツ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 2月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願

【整理番号】 03000353

【提出日】 平成15年 5月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 31/02

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインス
ツルメンツ株式会社内

【氏名】 町田 聡

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 入江 昭夫

【代理人】

【識別番号】 100096378

【弁理士】

【氏名又は名称】 坂上 正明

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103799

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 イメージセンサー IC

【特許請求の範囲】

【請求項 1】 第 1 の光電変換素子と、

第 2 の光電変換素子と、

前記第 1 および第 2 の光電変換素子の信号を入力する信号処理回路と、

前記信号処理回路の出力に接続する信号出力端子と、

前記信号処理回路の基準電圧に接続する基準電圧端子と、

基準電圧回路と、前記基準電圧回路と前記基準電圧端子の間に設けられた抵抗と、

前記第 1 および第 2 の光電変換素子に接続され、前記光電変換素子を初期化するリセットスイッチと、を有し、

前記リセットスイッチの端子が、基準電圧を発生する基準電圧端子に接続されていることを特徴とするイメージセンサー IC。

【請求項 2】 請求項 1 に記載の複数のイメージセンサー IC の前記基準電圧端子を互いに電氣的に接続したことを特徴とするイメージセンサー。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光照射された原稿からの反射光を受けて電気信号に変換する光電変換装置に関し、特にファクシミリやイメージスキャナ等の画像読み取り装置に適用するリニアイメージセンサー IC と、イメージセンサー IC を複数実装した密着型イメージセンサーに関する。

【0002】

【従来の技術】

従来の画像読み取り装置に用いられているイメージセンサー IC の回路図を図 15 にタイミングチャートを図 16 に示す。このイメージセンサーについては特開平 11-239245 号公報に記載されている。

【0003】

フォトダイオード101のN型領域が正電源電圧端子VDDに接続しており、P型領域がリセットスイッチ102のドレインとソースフォロアアンプ103のゲートに接続している。リセットスイッチ102のソースには基準電圧VREF1が与えられている。ソースフォロアアンプ103の出力端子であるソースは、読み出しスイッチ105と定電流源104につながっている。定電流源104のゲートは基準電圧VREFAの定電圧が与えられている。図8に示す光電変換ブロックAnの枠の内側の要素は画素数分設けられており、各ブロックの読み出しスイッチ105は共通信号線106に接続している。なお、光電変換ブロックAnはnビット目の光電変換ブロックを示している。

【0004】

共通信号線106は、抵抗110を通じてオペアンプ109の反転端子に入力しており、オペアンプ109の出力端子がチップセレクトスイッチ112と容量113を介して出力端子116につながっている。共通信号線106は、信号線リセットスイッチ107に接続し、信号線リセットスイッチ107のソースには基準電圧VREF2が与えられている。オペアンプ109の出力端子と反転端子の間には抵抗111が接続されていて、オペアンプ109の非反転端子は一定電圧VREF3に固定されている。オペアンプ109、抵抗110、抵抗111で反転増幅器Dが形成されている。

【0005】

イメージセンサーの出力端子116は、MOSトランジスタ114のドレインに接続し、MOSトランジスタ114のソースには基準電圧VREF4が与えられている。また、イメージセンサーの出力端子116には、寄生容量などの容量115も接続されている。容量113、容量115、MOSトランジスタ114でクランプ回路Cが構成されている（例えば、特許文献1参照。）。

【0006】

【特許文献1】

特開平11-239245号公報（第3-4頁、図1）

【0007】

【発明が解決しようとする課題】

しかし、この様なイメージセンサーにおいては、光電荷蓄積後、光信号を読み出してから、フォトダイオードをリセットし、その後基準信号を読み出し、光信号と基準信号の差をとるので、基準信号と光信号に乗っているリセットノイズが異なるという問題があった。すなわち、異なった、タイミングのリセットノイズを比較するため、ランダムノイズが大きいという問題があった。特に、リセット電圧 V_{REF1} は、通常各イメージセンサー IC の内部の基準電圧回路から供給される。このためリセット電圧には、熱雑音が含まれる。通常熱雑音は、基準電圧に大きな容量を接続することで低減することができるが、IC 内部に大きな容量を設けることができないので、これらの雑音を低減することは難しい。このため、リセットする度に、フォトダイオードのリセットレベルが、揺らいでしまう。したがって、読み取りラインごとに信号レベルが変動し、読み取り画像に筋が入ってしまうという問題があった。また、各イメージセンサー IC のリセット電圧が異なるので、フォトダイオードの逆バイアスが IC ごとに違うので、感度が IC ごとにばらつくという問題もあった。

【0008】**【課題を解決するための手段】**

従来のこのような問題点を解決するために、本発明は、複数の光電変換素子となるフォトダイオードと、前記光電変換素子にそれぞれ接続する前期光電変換素子を初期化する複数のリセットスイッチからなるイメージセンサー IC において、前記複数のリセットスイッチの片方の端子が 1 つの基準電圧端子に電氣的に接続することを特徴とするイメージセンサー IC とした。

【0009】

また、前記複数の光電変換素子の出力が入力する信号処理回路を内蔵し、前記信号処理回路の基準電圧が、前記基準電圧端子に電氣的に接続することを特徴とするイメージセンサー IC とした。

【0010】

また、基準電圧回路を内蔵し、前記基準電圧回路と前記基準電圧端子の間に抵抗が設けられたことを特徴とするイメージセンサー IC とした。

【0011】

さらに上記の、複数のイメージセンサー IC の前記基準電圧端子を互いに電氣的に接続したことを特徴とするイメージセンサーとした。

【0012】**【発明の実施の形態】**

以下、本発明を、図面を用いて説明する。

【0013】

図1は、本発明の第1の実施形態例の密着型イメージセンサーの概略図である。この密着型イメージセンサーは3つのイメージセンサー IC 41 からなり、それぞれのイメージセンサー IC 41 は、信号処理回路 42、光電変換装置 43、基準電圧端子 46、信号出力端子 47 からなる。光電変換装置 43 の共通信号線は、信号処理回路 42 に入力し、信号処理回路 42 の出力は信号出力端子 47 につながっている。

【0014】

全てのイメージセンサー IC 41 の信号出力端子 47 は、外部で接続されており、VOUT2 端子から外部に出力される。全てのイメージセンサー IC 41 の基準電圧端子 46 も外部で接続されており、必要に応じて、基準電圧端子 46 と GND 間に、基準電圧 VREF を安定にするための容量 48 が設けてある。この電圧 VREF が、全てのイメージセンサー IC 41 の光電変換装置 43 の Vreset 端子に供給されている。

【0015】

図7は、本発明の実施形態例の信号処理回路 42 のブロック図である。入力端子 VIN に入力した信号は、サンプルホールド回路 21 とバッファアンプ 23 に入力する。サンプルホールド回路 21 の出力はバッファアンプ 22 に入力する。バッファアンプ 22 の出力とバッファアンプ 23 の出力は、減算器 24 に入力し、減算器 24 の出力はクランプ回路 25 に入力する。減算器 24 とクランプ回路 25 の基準電圧は、共通にすることができ VREF 端子につながっている。クランプ回路 25 の出力はバッファアンプ 26 に入力する。なおバッファアンプ 26 は、増幅回路に置き換えてもよい。さらに、この増幅回路の基準電

圧を V_{REF} 端子と共通にしても良い。バッファアンプ 26 の出力は、サンプルホールド回路 27 に入力する。サンプルホールド回路 27 の出力はバッファアンプ 28 に入力する。バッファアンプ 28 の出力はトランسمッションゲート 29 に入力する。トランسمッションゲート 29 の出力は出力端子 V_{OUT2} につながる。なお、トランسمッションゲート 29 は、用途によっては不要である。

【0016】

図 8 は、本発明の実施形態例のサンプルホールド回路の回路図であり、サンプルホールド回路 21 とサンプルホールド回路 27 に使用できる。サンプルホールド回路はトランسمッションゲート 30 とダミースイッチ 31 と容量 $C1$ からなる。このサンプルホールド回路は、 ϕ_{SH} とその反転である ϕ_{SHX} のパルスのノイズを相殺するために、トランسمッションゲート 30 の NMOS と PMOS のトランジスタサイズは同じにし、ダミースイッチ 31 の NMOS と PMOS のトランジスタのゲート面積は、トランسمッションゲートのトランジスタのゲート面積の半分にする。

【0017】

図 9 は、本発明の実施形態例のバッファアンプの回路図でありオペアンプ 32 からなる。この回路は、バッファアンプ 22、23、26、28 に使用できる。なお、バッファアンプはソースフォロアアンプでもよい。

【0018】

図 10 は、本発明の実施形態例の増幅回路の回路図でありオペアンプ 32 と抵抗からなる。この回路は、バッファアンプ 26 の代わりに用いれば、信号処理回路の増幅率を大きくできる。また、この増幅回路の基準電圧 V_{REF} を図 1 の V_{REF} 端子と共通にしても良い。

【0019】

図 11 は、本発明の実施形態例の減算器の回路図でありオペアンプ 32 と抵抗からなる。この回路は、 I_{NP} の電圧から I_{NM} の電圧を引いた電圧を、抵抗の比率で決まるゲイン倍し、 V_{REF} の電圧を基準として出力する。 I_{NP} と I_{NM} に入力する端子を逆にすれば、出力を V_{REF} の電圧を基準に反転することが

できる。

【0020】

図12は、本発明の実施形態例のクランプ回路の回路図であり、クランプ回路25に使用できる。クランプ回路はトランсмисシオンゲート30とダミースイッチ31と容量33からなる。このクランプ回路は、 ϕ CLAMPとその反転である ϕ CLAMPXのパルスのノイズを相殺するために、トランсмисシオンゲート30のNMOSとPMOSのトランジスタサイズは同じにし、ダミースイッチ31のNMOSとPMOSのトランジスタのゲート面積は、トランсмисシオンゲートのトランジスタのゲート面積の半分にする。

【0021】

図1内の光電変換装置43は、図3に示すとおり、複数の光電変換装置A1、A2----ANから形成されている。図2は、A1、A2----ANの光電変換装置の一例であり、本発明の実施形態例の光電変換装置1の概略回路図である。図2に示す光電変換ブロックAnの枠の内側の要素は画素数分設けられており、各ブロックのチャンネル選択スイッチ7は共通信号線11に接続している。なお、光電変換ブロックAnはnビット目の光電変換ブロックを示している。この回路は、光電変換手段となるフォトダイオード1、電荷転送手段となる転送スイッチ4、リセット手段となるリセットスイッチ2、アンプ手段3、容量5、MOSソースフォロアを形成するMOSトランジスタ6、チャンネル選択手段となるチャンネル選択スイッチ7、共通信号線11、第1の電流源8からなる。

【0022】

リセットスイッチ2の片方の端子は、Vreset端子につながっており、全ての光電変換装置1のVreset端子は図3に示すように共通である。

【0023】

アンプ手段3はMOSソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンピネーブル端子10を設けても良い。また、MOSトランジスタ6のゲートとソース間には寄生容量9が存在する。また、MOSトランジスタ6のソースに、第2の電流源51が接続されている。この電流源はイネーブル信号 ϕ RRによってオン・オフし、オン状態では、第1の電流源8と

同程度の電流が流れるようになっている。

【0024】

この光電変換装置の出力端子 $VOUT$ は、図 7 の信号処理回路の入力端子 VIN に入力する。光電変換装置と信号処理回路は、1 つの半導体基板上に形成することができる。

【0025】

図 4 は、本発明の実施形態例の光電変換装置 1 と信号処理回路のタイミングチャートである。

【0026】

以下にこのタイミングチャートを参照しながら、本実施形態の動作を説明する。

。

まず、 n ビット目の光電変換ブロックの動作について説明する。 $\phi R(n)$ によりリセットスイッチ 2 がオンすると、フォトダイオード 1 の出力端子 Vdi は基準電圧 V_{reset} に固定され、リセットスイッチ 2 がオフすると、 Vdi の電圧は V_{reset} にオフノイズが加算された値になる。ここで、 V_{reset} は、図 1 に示すように V_{REF} と等しく、熱雑音が小さいので、 Vdi の電圧は、リセットする度に変動することは無く、毎回一定になる。

【0027】

$\phi R(n)$ によりリセットスイッチ 2 がオフした後、 $\phi T1(n)$ により転送スイッチ 4 をオンして、 TR の期間で基準信号を容量 5 に読み出す。このとき、イネーブル信号 $\phi RR(n)$ により電流源 51 をオン状態にすることによって、 MOS トランジスタ 6 のソース電位を、 $\phi SCH(n)$ がオン状態の読み出し時と同程度にする。基準信号は、1 周期の間、容量 5 に保持される。この間にフォトダイオード 1 には、光電荷が蓄積し、 Vdi の電位は光電荷の量に応じて変動している。次の周期の $\phi SCH(n)$ によりチャンネル選択スイッチ 7 をオンすると、 REF の期間に、容量 5 に保持された基準信号が共通信号線 11 に読み出される。次に、 $\phi T1(n)$ をオンし、光信号を容量 5 に読み出すと、この光信号が共通信号線 11 に読み出される。このとき、電流源 51 をオフ状態にする。このことによって、 TR の期間で基準信号を容量 5 に読み出すときと、 TS の期間でフォトダイオードに蓄積した電荷に応じ

た光信号を容量 5 に読み出すときの MOS トランジスタ 6 のソース電位を、同程度にすることができる。したがって、容量 5 に蓄える電荷への寄生容量 9 の影響を小さくすることができる。このことによって、暗出力電圧のオフセットを小さくできる。

【 0 0 2 8 】

以上の動作により、 ϕ SCH(n) の REF の期間と SIG の期間の共通信号線 1 1 の出力電圧 VOUT の差を取れば、固定パターンノイズとリセットスイッチ 2 によるランダムノイズを除去できる。次に、 ϕ T1(n) をオフしてから、 ϕ SCH(n) をオフし、 ϕ R(n) をオンして、次のフォトダイオードのリセットを行い、再び ϕ T1(n) をオンして、TR の期間で基準信号を容量 5 に読み出す。

【 0 0 2 9 】

ϕ SCH(n) がオフしてから、次のビットのチャンネル選択スイッチ 7 が ϕ SCH(n+1) によってオンし、次のビットの基準信号の読み出しが始まる。n+1 ビット目の他のパルスは、n ビット目のパルスよりも、全て ϕ SCH のオン期間だけ後ろにずれる。

【 0 0 3 0 】

以上の説明で、第 2 の電流源 5 1 は無くてもよい。その場合は、 ϕ R R のパルスは不要となる。

【 0 0 3 1 】

上記のように、V O U T 端子からは、n ビット目の基準信号、n ビット目の光信号、n+1 ビット目の基準信号、n+1 ビット目の光信号の順で出力される。以下で、便宜上、基準信号の出力期間を前半期間、光信号の出力期間を後半期間とする。

【 0 0 3 2 】

次に信号処理回路の動作を説明する。V I N 端子に上記 V O U T 端子の出力が入力される。サンプルホールドパルス ϕ S H 1 は、基準信号が出始めてからオンし、基準信号が終わる前にオフする。これにより、基準信号がサンプルホールドされる。V I N の信号とサンプルホールド後の信号は、減算器に入力する。前半期間は同じ基準信号が減算器に入力し、後半期間は、サンプルホールドされた基準信号と光信号が減算器に入力する。したがって、減算器の出力は、前半期間は

VREF レベル、後半期間は基準信号と光信号の差をゲイン倍したレベルに VREF レベルを加えたレベルとなる。また、前半期間の出力には、バッファアンプ 22、23 と減算器 24 のオフセットが乗り、後半期間の出力には、バッファアンプ 22、23 と減算器 24 のオフセットと、サンプルホールド回路 21 のオフセットが乗る。

【0033】

クランプパルス ϕ CLAMP は、 ϕ SH1 がオンする前にオンし、 ϕ SH1 がオフする前にオフするように加える。これにより、クランプ回路 25 の出力は、前半期間が、VREF レベルにクランプされ、後半期間は、減算器の後半出力から前半出力を引いたレベルに VREF レベルを加えたレベルとなる。この結果、クランプ回路の後半期間の出力には、バッファアンプ 22、23 と減算器 24 のオフセットが乗らない。また、サンプルホールド回路 21 のオフセットは、 ϕ SH パルスとその反転である ϕ SHX パルスのノイズが相殺する回路になっているので小さい。以上から、クランプ回路の後半期間の出力は、VREF レベルを基準に、基準信号と光信号の差をゲイン倍したレベルを加えたレベルになる。

【0034】

サンプルホールドパルス ϕ SH2 は、光信号が出始める前後にオンし、光信号が終わる前にオフする。これにより、クランプ後の出力の後半期間の出力がサンプルされ、次のビットの前半期間にホールドされる。したがって、長い期間出力レベルを維持することができる。

【0035】

図 5 は、本発明の実施形態例の光電変換装置 2 の概略回路図である。図 5 に示す光電変換ブロック A_n の枠の内側の要素は画素数分設けられており、各ブロックのチャンネル選択スイッチ 7 は共通信号線 11 に接続している。なお、光電変換ブロック A_n は n ビット目の光電変換ブロックを示している。図 3 に、光電変換装置 43 の全体構成図を示す。

【0036】

この回路は、光電変換手段となるフォトダイオード 1、電荷転送手段となる転送スイッチ 14、15、16、17、リセット手段となるリセットスイッチ 2、

アンプ手段3、光信号を保持する容量13、光電変換手段の基準となる基準信号を保持する容量12、信号読み出し手段となるMOSソースフォロアを形成するMOSトランジスタ6、チャンネル選択手段となるチャンネル選択スイッチ7、共通信号線11、第1の電流源8からなる。

【0037】

リセットスイッチ2の片方の端子は、Vreset端子につながっており、図3に示すように全ての光電変換装置2のVreset端子は共通である。

【0038】

アンプ手段3はMOSソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンプイネーブル端子10を設けても良い。

【0039】

この光電変換装置の出力端子VOUTは、図7の信号処理回路の入力端子VINに inputs する。光電変換装置と信号処理回路は、1つの半導体基板上に形成することができる。

【0040】

図6は、本発明の実施形態例の光電変換装置2と信号処理回路のタイミングチャートである。

【0041】

以下にこのタイミングチャートを参照しながら、光電変換装置2の動作を説明する。

【0042】

図6の ϕR 、 ϕRIN 、 ϕSIN 、 ϕSEL は全ビットについて同時に動作する。 $\phi S0$ 、 $\phi R0$ 、 ϕSCH はビットによって動作するタイミングが異なるので、(n)付で表示している。

【0043】

まず、nビット目の光電変換ブロックの動作について説明する。

【0044】

ϕSIN のS1の位置のパルスにより転送スイッチ15をオンして、フォトダイオード1に入射した光で発生した電荷の蓄積を行った後に得られる光信号を容量1

3に読み出す。次に ϕR のR2の位置のパルスによりリセットスイッチ2がオンすると、フォトダイオード1の出力端子Vdiは基準電圧Vresetに固定され、リセットスイッチ2がオフすると、Vdiの電圧はVresetにオフノイズが加算された値になる。ここで、Vresetは、図1に示すようにVREFと等しく、熱雑音が小さいので、Vdiの電圧は、リセットする度に変動することは無く、毎回一定になる。

【0045】

次にリセットスイッチ2がオフした直後、 ϕRIN のR2の位置のパルスにより転送スイッチ14をオンして、フォトダイオード1のリセット後の基準信号を容量12に読み出す。この後フォトダイオード1には、光電荷が蓄積し、Vdiの電位は光電荷の量に応じて変動する。この蓄積期間は ϕR のR2の期間の終了から、次の周期の ϕSIN のS2の期間の終了までであるので、図6のTS2の期間となり、全てのビットについて同じ期間になる。

【0046】

次に、基準信号と光信号の読み出しの動作を説明する。図6のTS2の蓄積期間中に、 $\phi SCH(n)$ のパルスによりチャンネル選択スイッチ7を開くと同時に $\phi SO(n)$ のパルスにより転送スイッチ17を開くと、容量13に保持されていた光信号が共通信号線11に読み出される。この期間は $\phi SCH(n)$ のS1の部分である。

【0047】

この光信号は、TS1の期間に蓄積された信号であり、 ϕR のR1の位置のパルスによりリセットされたりセット電圧を基準としている。

【0048】

次に、 $\phi RO(n)$ のパルスにより転送スイッチ16を開くと、容量12に保持されていた基準信号が共通信号線11に読み出される。この基準信号は、 ϕR のR2の位置のパルスによりリセットされた信号である。

【0049】

後段の信号処理回路で、この光信号と基準信号の差を取ると、 ϕR の異なるパルスのリセットレベルの差を取ることになるが、Vreset電圧の熱雑音が小さいので、光による電圧差だけを取り出すことができる。

【0050】

次に、 $\phi\text{SCH}(n)$ をオフしてから、次のビットのチャンネル選択スイッチ7が $\phi\text{SCH}(n+1)$ によってオンし、 $\phi\text{S0}(n+1)$ のパルスにより次のビットの転送スイッチ17を開くと次のビットの光信号の読み出しが始まる。 $n+1$ ビット目の他のパルスは、 n ビット目のパルスよりも、全て ϕSCH のオン期間だけ後ろにずれる。

【0051】

この実施例では、TS2の期間でフォトダイオードが蓄積動作中に、前の蓄積期間TS1の期間で蓄積した光信号を読み出すことができる。したがって、RGBの3色のLEDを順に点灯して、カラー画像データを読み取ることができる。たとえば、TS1の期間に赤のLEDを点灯し赤の成分を読み取り、TS2の期間に緑のLEDを点灯し緑の成分を読み取り、TS2の次の期間に青のLEDを点灯し青の成分を読み取ることができる。この場合、TS2の期間内に赤の光信号を読み出すことになる。

【0052】

上記のように、共通信号線11のVOU T端子からは、 n ビット目の光信号、 n ビット目の基準信号、 $n+1$ ビット目の光信号、 $n+1$ ビット目の基準信号の順で出力される。これは、光電変換装置1と光信号と基準信号の順番が逆になるが、図6に示すパルス ϕSH1 、 ϕCLAMP 、 ϕSH2 を使い、光電変換装置1と同様に、図7の信号処理回路で光信号と基準信号の差をVREFを基準に増幅することができる。

【0053】

以上の説明で、光電変換装置は、基準信号と光信号を順に出力するものであれば、どのような回路であってもよい。リニアセンサー、エリアセンサーともに信号処理することができる。また、基準信号と光信号の出力の順が逆であっても、減算器のINPとINMの端子を逆に接続すれば、対応できる。また、減算器のIMPとINMの端子を逆に接続すれば、減算器の出力はVREFレベルを基準に反転するので、光信号の感度が正負どちらであっても、信号処理回路の感度を正にできる。

【0054】

以上のように、本発明によれば、前半の期間と後半の期間の減算器の出力には同じオフセット電圧が乗っており、クランプ回路で、この前半と後半の減算器の出力の差を取り出すので、基準電圧を基準とした、減算器のオフセットをキャンセルした信号を取り出すことができる。したがって、固定パターンノイズの小さい電変換装置を得ることができる。また、光電変換手段と信号処理回路が1つの半導体基板上に形成されたリニアイメージセンサーICやエリアイメージセンサーICを作ることができる。

【0055】

また、図1に示すように、このリニアイメージセンサーICを複数実装し、各イメージセンサーICに供給するリセット電圧を共通にすれば、全てのイメージセンサーICのフォトダイオードのリセット電圧が同じになるので、ICごとの感度のばらつきを小さくできる。また、この実施例によれば、受光素子のリセット電圧を、VREF端子を通じて外部から供給できるので、熱雑音の小さい安定した電圧を供給することができる、したがって、読み取り画像に筋が入ってしまうという問題を解決できる。

【0056】

また、共通にした基準電圧端子とGNDなどの間に、大きな容量48を入れて、リセット電圧の熱雑音をさらに低減することで、より安定した読み取り画像を得ることができる。

【0057】

容量48は0.01 μ F以上とし、VREF端子より供給するリセット電圧は1Vから、電源電圧よりも1V程度低い電圧の範囲とするとよい。

【0058】

以上の本発明の第1の実施形態例の密着型イメージセンサーの説明で、信号処理回路42は、ICに内蔵されていなくともよい。

【0059】

図13は、本発明の第2の実施形態例の密着型イメージセンサーの概略図である。第1の実施形態例との違いは、信号処理回路42の基準電圧VREFを、受光素子のリセット電圧と共通にしたことである。このとき、受光素子のリセット

電圧は、自由に設定できなくなるが、信号処理回路 42 の基準電圧 V_{REF} は通常 1 V 前後であるので、実用上問題ない。

【0060】

これにより、IC の外部から供給する基準電圧を 1 種類にすることができ、また、信号処理回路 42 の基準電圧の安定性と熱雑音も小さくできるので、信号処理回路 42 で乗る雑音も小さくすることができる。

【0061】

図 14 は、本発明の第 3 の実施形態例の密着型イメージセンサーの概略図である。第 1 の実施形態例との違いは、各イメージセンサー IC 41 の内部に、基準電圧回路 44 と、基準電圧回路 44 の出力端子と基準電圧端子 46 の間の抵抗 45 が設けてある点である。抵抗 45 の値は 1 K Ω 前後とする。

【0062】

図 14 の構成のイメージセンサーでは、基準電圧 V_{REF} は、各イメージセンサー IC 41 の内部の基準電圧回路 44 の発生する基準電圧の平均値になる。したがって、全てのイメージセンサー IC 41 のリセット電圧は、同一にすることができ、本発明の第 1 の実施形態例の密着型イメージセンサーと同じ効果が得られる。さらに、外部から基準電圧を供給する必要が無く、使いやすい。

【0063】

また、図示していないが、図 14 の構成で、信号処理回路 42 の基準電圧 V_{REF} を、受光素子のリセット電圧と共通にすることもできる。この場合、本発明の第 2 の実施形態例の密着型イメージセンサーと同じ効果が得られる。さらに、外部から基準電圧を供給する必要が無く、使いやすい。

【0064】

以上の説明で、本発明は上述した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0065】

【発明の効果】

以上説明したように、本発明は、複数のイメージセンサー IC からなるイメージセンサーにおいて、簡単な構成で、IC ごとの感度のばらつきを小さくできる

。また、読み取り画像に筋が入ってしまうという問題を解決できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態例の密着型イメージセンサーの概略図である。

【図 2】

本発明の実施形態例の光電変換装置 1 の概略回路図である。

【図 3】

本発明の実施形態例の光電変換装置 1 および光電変換装置 2 の全体構成図である。

【図 4】

本発明の実施形態例の光電変換装置 1 と信号処理回路のタイミングチャートである。

【図 5】

本発明の実施形態例の光電変換装置 2 の概略回路図である。

【図 6】

本発明の実施形態例の光電変換装置 2 と信号処理回路のタイミングチャートである。

【図 7】

本発明の実施形態例の信号処理回路のブロック図である。

【図 8】

本発明の実施形態例のサンプルホールド回路の回路図である。

【図 9】

本発明の実施形態例のバッファ回路の回路図である。

【図 10】

本発明の実施形態例の増幅回路の回路図である。

【図 11】

本発明の実施形態例の減算器の回路図である。

【図 12】

本発明の実施形態例のクランプ回路の回路図である。

【図 1 3】

本発明の第 2 の実施形態例の密着型イメージセンサーの概略図である。

【図 1 4】

本発明の第 2 の実施形態例の密着型イメージセンサーの概略図である。

【図 1 5】

従来のイメージセンサーの回路図である。

【図 1 6】

従来のイメージセンサーのタイミングチャートである。

【符号の説明】

- 1 フォトダイオード
- 2 リセットスイッチ
- 3 アンプ
- 4 転送スイッチ
- 5 容量
- 6 MOS トランジスタ
- 7 チャンネル選択スイッチ
- 8 第 1 の電流源
- 9 寄生容量
- 10 アンプイネーブル端子
- 11 共通信号線
- 12、13 容量
- 14、15、16、17 転送スイッチ
- 21 サンプルホールド回路
- 22 バッファアンプ
- 23 バッファアンプ
- 24 減算器
- 25 クランプ回路
- 26 バッファアンプ
- 27 サンプルホールド回路

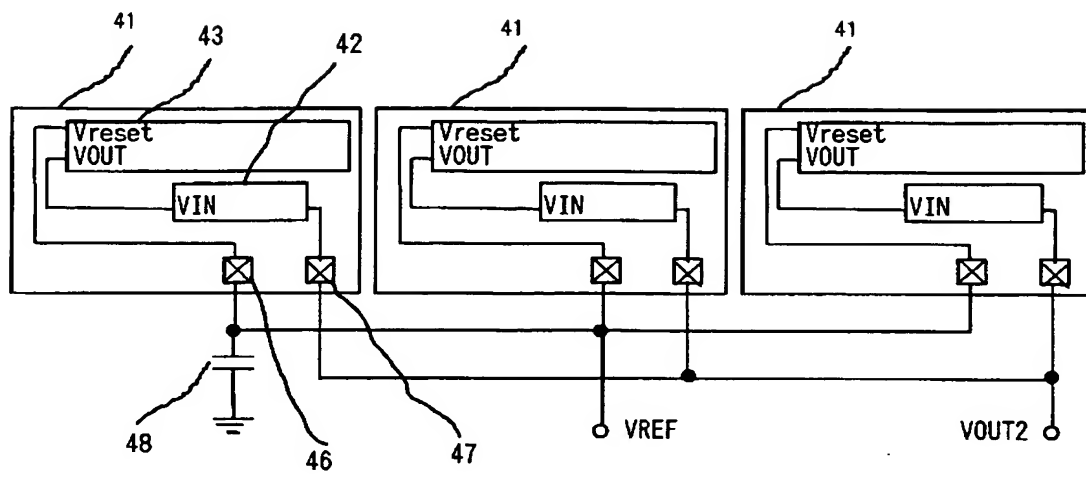
- 2 8 バッファアンプ
- 2 9 トランスミッションゲート
- 3 0 トランスミッションゲート
- 3 1 ダミースイッチ
- 3 2 オペアンプ
- 3 3 クランプ容量
- 4 1 イメージセンサー I C
- 4 2 信号処理回路
- 4 3 光電変換装置
- 4 4 基準電圧回路
- 4 5 抵抗
- 4 6 基準電圧端子
- 4 7 信号出力端子
- 4 8 容量
- 5 1 第 2 の電流源
- 1 0 1 フォトダイオード
- 1 0 2 リセットスイッチ
- 1 0 3 ソースフォロアアンプ
- 1 0 4 定電流源
- 1 0 5 読み出しスイッチ
- 1 0 6 共通信号線
- 1 0 7 信号線リセットスイッチ
- 1 0 8 寄生容量
- 1 0 9 オペアンプ
- 1 1 0 抵抗
- 1 1 1 抵抗
- 1 1 2 チップセレクトスイッチ
- 1 1 3 容量
- 1 1 4 MOS トランジスタ

1 1 5 容量

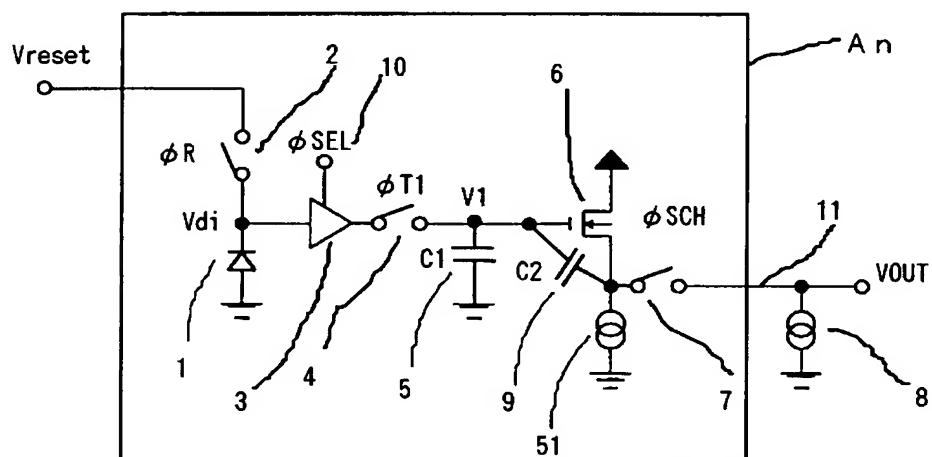
1 1 6 出力端子

【書類名】 図面

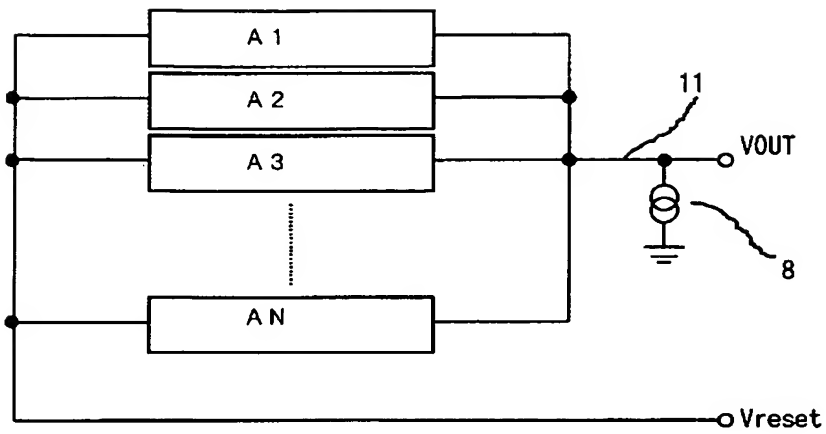
【図 1】



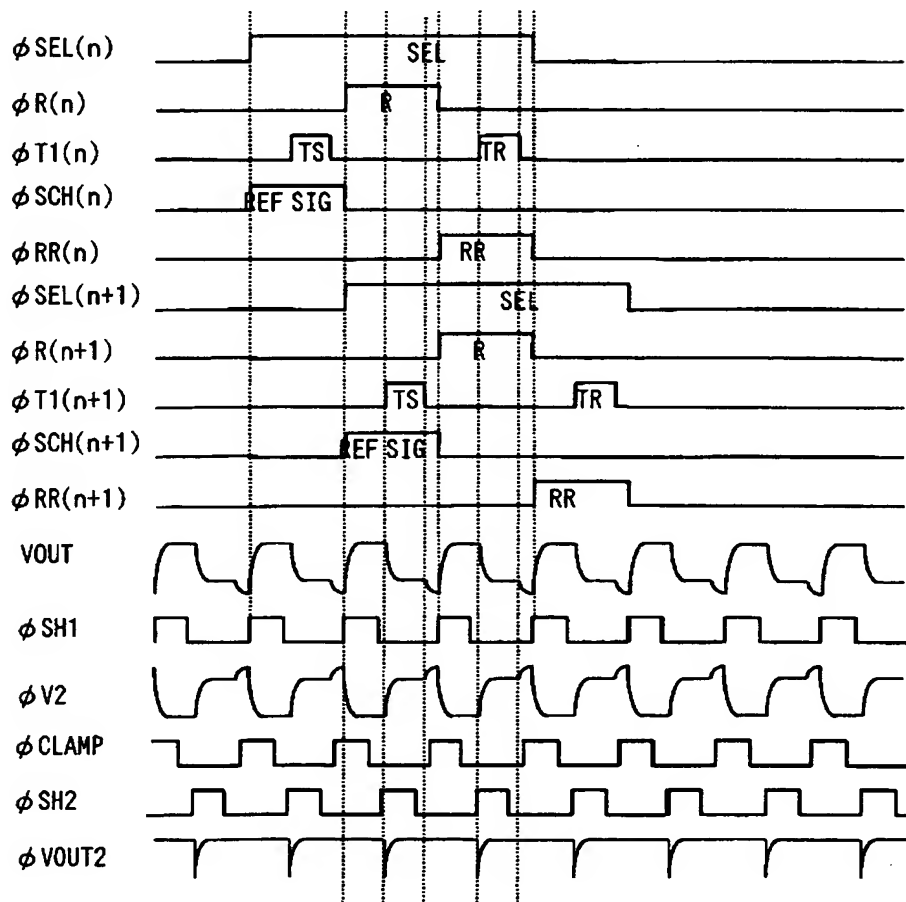
【図 2】



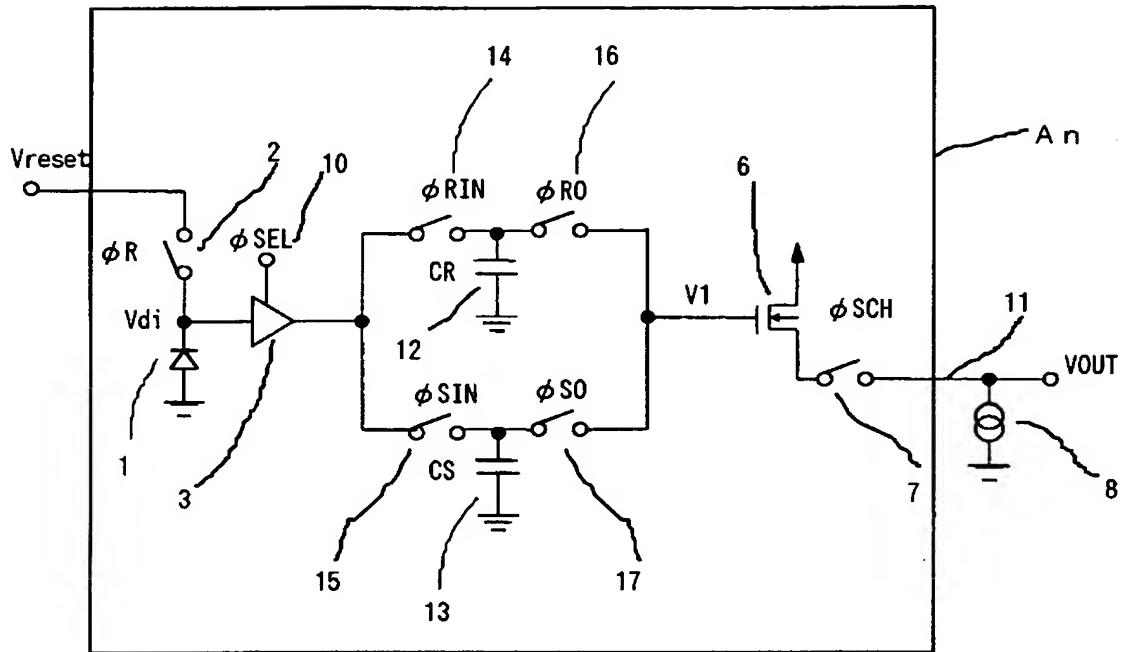
【図 3】



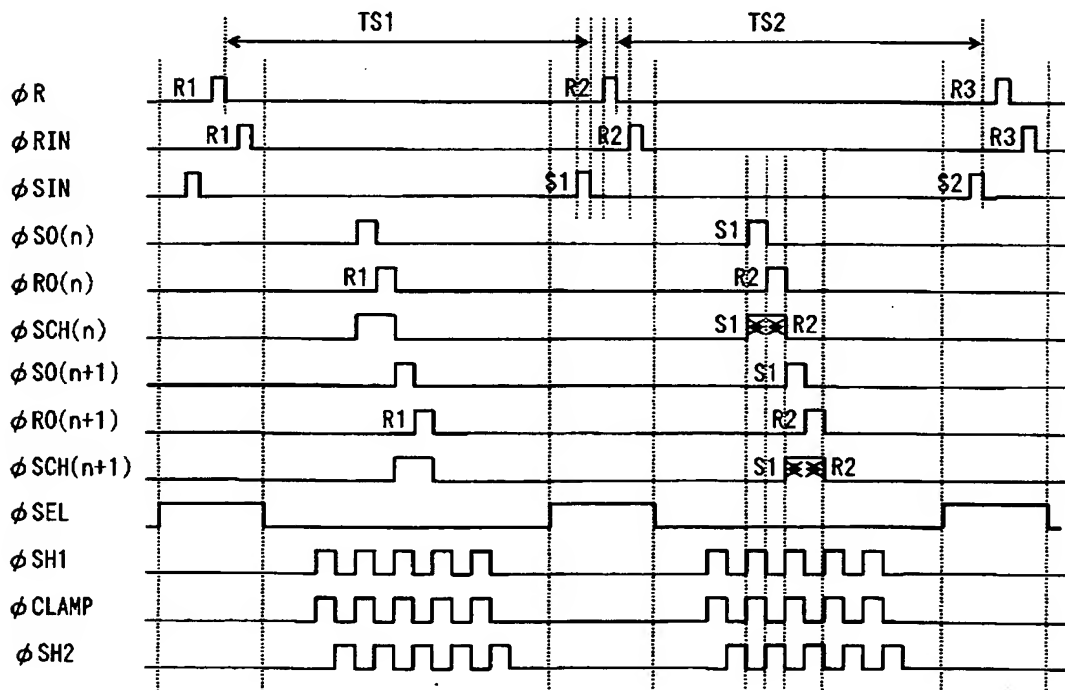
【図 4】



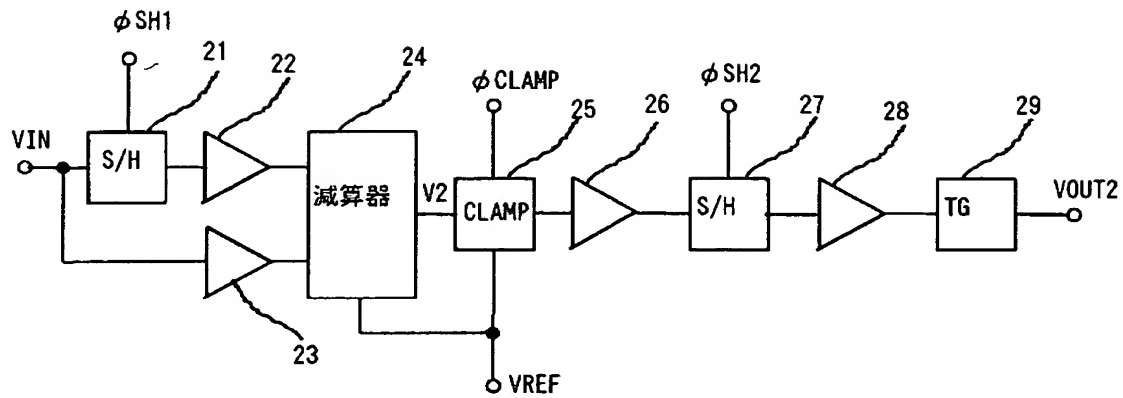
【図 5】



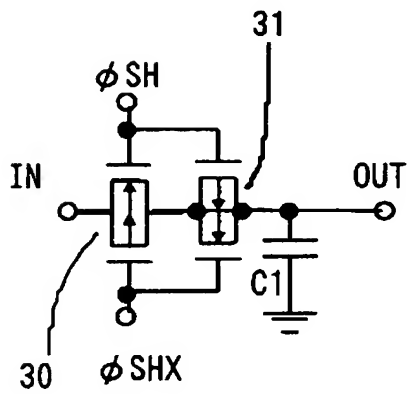
【図 6】



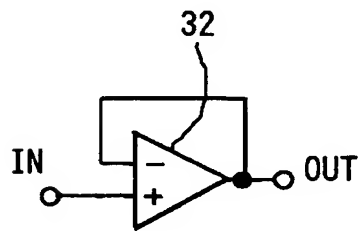
【図 7】



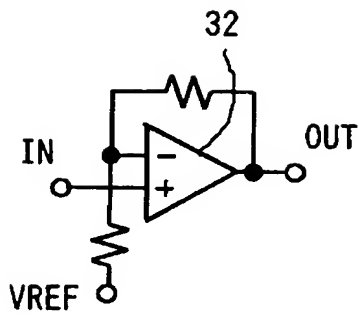
【図 8】



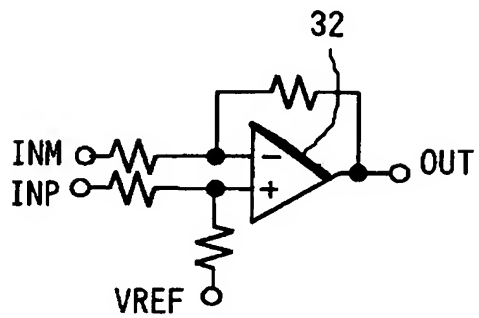
【図 9】



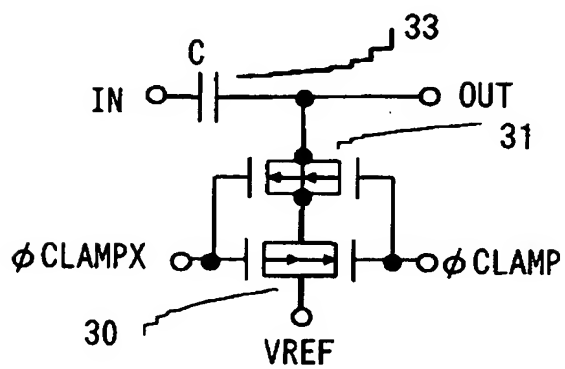
【図 10】



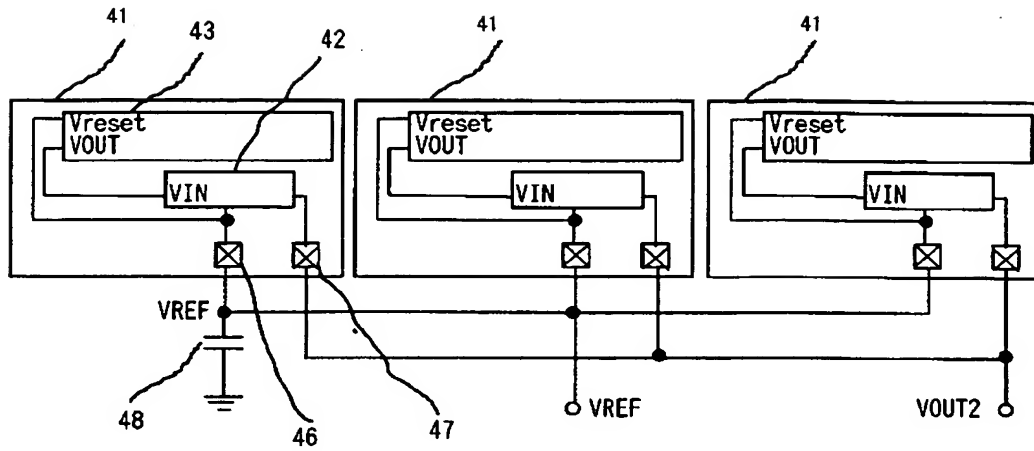
【図 11】



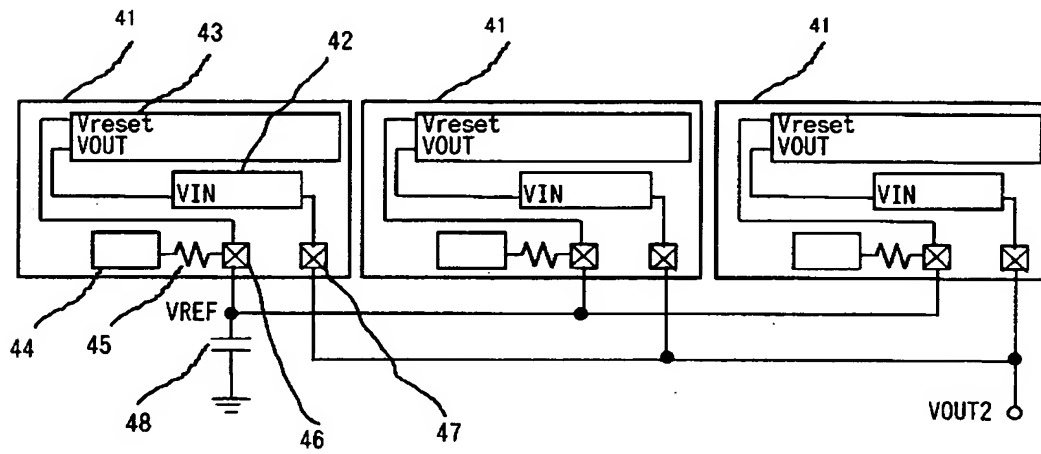
【図 12】



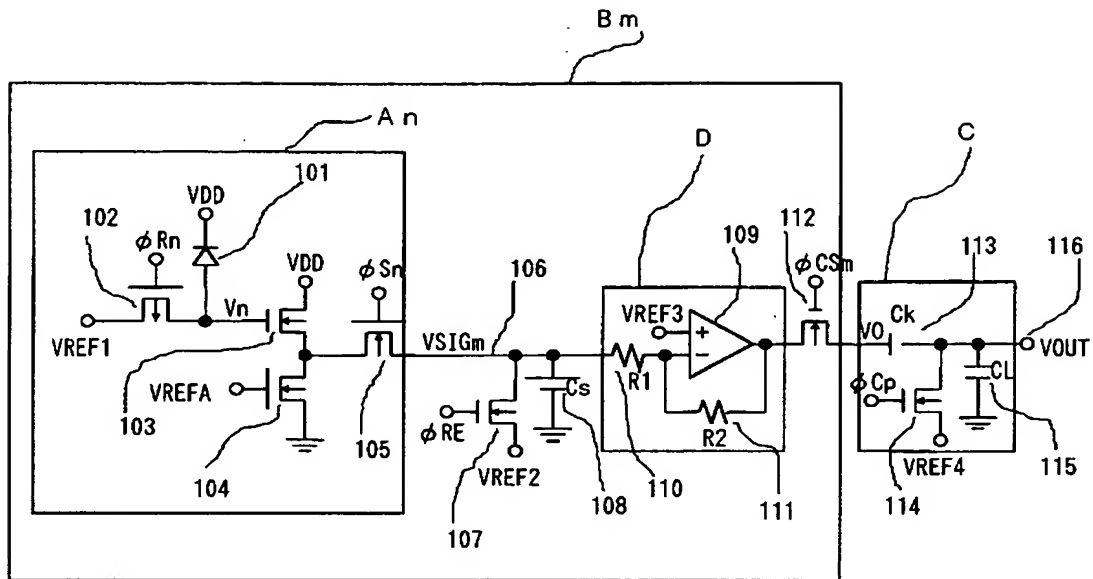
【図 13】



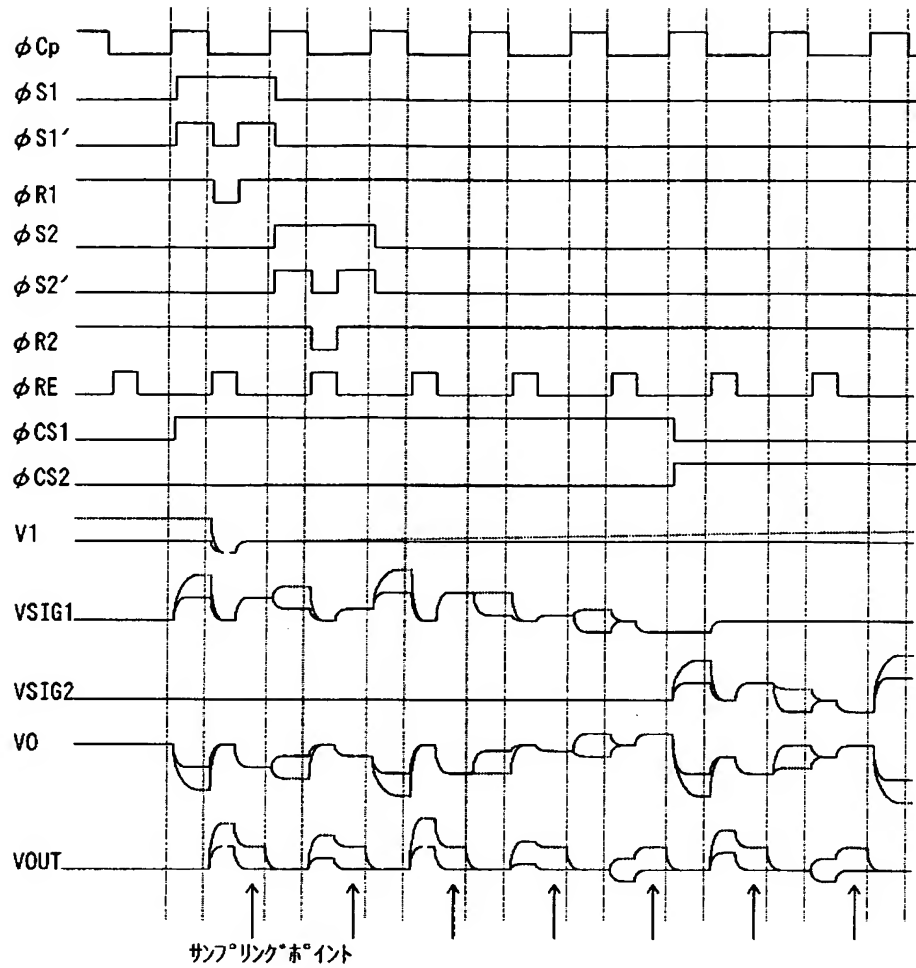
【図 14】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 読み取り画像に筋の入らないイメージセンサー I C の提供。

【解決手段】 複数の光電変換素子と、光電変換素子にそれぞれ接続する光電変換素子を初期化する複数のリセットスイッチからなるイメージセンサー I C において、複数のリセットスイッチの片方の端子が 1 つの基準電圧端子に接続し、複数のイメージセンサー I C の基準電圧端子を互いに接続したことを特徴とするイメージセンサーとした。

【選択図】 図 1

特願 2 0 0 3 - 1 4 9 2 6 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 2 5]

1. 変更年月日

1 9 9 7 年 7 月 2 3 日

[変更理由]

名称変更

住 所

千葉県千葉市美浜区中瀬 1 丁目 8 番地

氏 名

セイコーインスツルメンツ株式会社